

**PACKAGE BOARD**

Patent Number: JP11307687  
Publication date: 1999-11-05  
Inventor(s): HIRAMATSU YASUJI  
Applicant(s):: IBIDEN CO LTD  
Requested Patent: ☐ JP11307687  
Application JP19980122943 19980416  
Priority Number(s):  
IPC Classification: H01L23/12 ; H05K3/46  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PROBLEM TO BE SOLVED:** To lower the inductance of a wiring to allow a high current to be fed instantaneously to an integrated circuit chip by mounting a chip capacitor directly beneath the integrated circuit chip at the surface of a lower face, to shorten the distance of a wiring from the chip capacitor to the integrated circuit chip.

**SOLUTION:** This package board 10 a power chip capacitor C and a chip resistance for terminating an integrated circuit 90 directly beneath the integrated circuit chip 90 on the surface of the lower face of the package board 10, and vias 60U are connected directly to through-holes 16 for shortening the wiring length, whereby the wiring length from the chip capacitor C to the integrated circuit chip 90 mounted on the package board 10 becomes short, the inductance of the wiring can be lowered, a heavy current can be fed instantaneously to the integrated circuit chip 90 from the chip capacitor, reflections at the wiring can be suppressed and the impedance matching becomes easy.

---

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-307687

(43)公開日 平成11年(1999)11月5日

(51)Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 23/12

H 0 1 L 23/12

F

H 0 5 K 3/46

H 0 5 K 3/46

Q

// H 0 1 G 2/06

H 0 1 G 1/035

N

C

審査請求 未請求 請求項の数 3 F D (全 10 頁)

(21)出願番号

特願平10-122943

(22)出願日

平成10年(1998)4月16日

(71)出願人 000000158

イビデン株式会社

岐阜県大垣市神田町2丁目1番地

(72)発明者 平松 靖二

岐阜県揖斐郡揖斐川町北方1-1 イビデ  
ン株式会社大垣北工場内

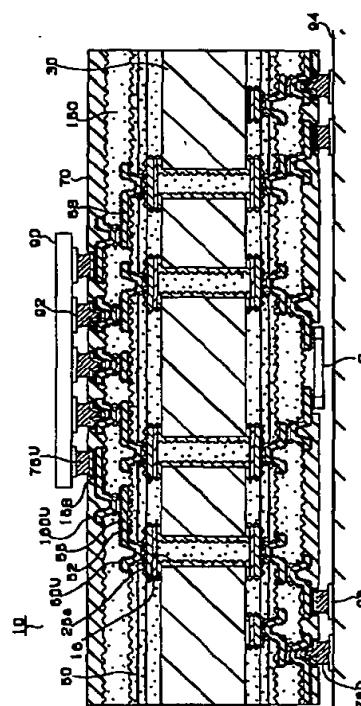
(74)代理人 弁理士 田下 明人 (外1名)

(54)【発明の名称】 パッケージ基板

(57)【要約】

【課題】 コンデンサから瞬間的に大電流を集積回路チップへ供給することができるパッケージ基板を提供する。

【解決手段】 パッケージ基板10の下面側の表面であって集積回路チップ90の直下にチップコンデンサCを実装してあるので、該チップコンデンサCから集積回路チップ90までの配線の距離が短くなり、該配線のインダクタンス分を低下させれるため、該集積回路チップ90へ瞬時に大電流を供給することができる。



## 【特許請求の範囲】

【請求項 1】 上面に集積回路チップを載置し、下面が基板側に取り付けられるパッケージ基板において、下面側の表面であって、集積回路チップの直下に実装部品を取り付けたことを特徴とするパッケージ基板。

【請求項 2】 上面に集積回路チップを載置し、下面が基板側に取り付けられるパッケージ基板であって、層間樹脂絶縁層と導体層とが交互に積層され、各導体層間がビアホールにて接続されたビルドアップ配線層が、コア基板の両面に形成されてなるパッケージ基板において、

前記コア基板に形成されたスルーホールには、充填剤が充填されるとともに該充填剤のスルーホールからの露出面を覆う導体層が形成されてなり、その導体層にはビアホールが接続され、前記パッケージ基板の下面側の表面であって、集積回路チップの直下に実装部品を取り付けたことを特徴とするパッケージ基板。

【請求項 3】 前記実装部品が、誘電材料としてセラミックを用いるチップコンデンサであることを特徴とする請求項 1 又は 2 のパッケージ基板。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、上面に集積回路チップを載置し、下面が基板側に取り付けられるパッケージ基板に関するものである。

## 【0002】

【従来の技術】CPU等の集積回路チップを載置するパッケージを構成するパッケージ基板には、コンデンサが設けられることがある。即ち、高速化に伴い、CPUが瞬間的に大きな電流を必要とするために、パッケージ基板にコンデンサを設け、該コンデンサに電荷を蓄えておき、大電流を供給できるようにしている。

【0003】ここで、セラミックの多層線板においては、図 8 (A) に示すように絶縁層 250 の両面に導体層 252、254 を形成することで、コンデンサとしていた。一方、樹脂基板を用いるパッケージ基板においては、図 8 (B) に示すように、パッケージ基板の上面にチップコンデンサ C を載置していた。これは、該パッケージ基板は、樹脂基板にて構成してあり、樹脂の誘電率がセラミックと比較して低いため、樹脂基板の上面と下面に導体層を設けることでパッケージ基板内部にコンデンサを形成しても、高い容量を得ることができないためである。

## 【0004】

【発明が解決しようとする課題】しかしながら、図 8

(B) に示すようにパッケージ基板の上面にチップコンデンサ C を配設すると、該チップコンデンサ C から集積回路チップ 90 への距離が離れ、該集積回路チップ 90 までの配線のインダクタンス分が大きくなるため、集積

回路チップ 90 へ瞬間的に供給し得る電流量を大きくすることが困難であった。

【0005】このため、本発明者は、特願平 9 年 2 2 7 2 3 2 号にて、パッケージ基板の内部にチップコンデンサを配設する技術を提案した。この技術では、集積回路チップ 90 からコンデンサまでの距離を短くできるものの、製造が困難であった。

【0006】本発明は、上述した課題を解決するためになされたものであり、その目的とするところは、コンデンサから瞬間的に大電流を供給することができるパッケージ基板を提供することにある。

## 【0007】

【課題を解決するための手段】請求項 1 の発明は、上記目的を達成するため、上面に集積回路チップを載置し、下面が基板側に取り付けられるパッケージ基板において、下面側の表面であって、集積回路チップの直下に実装部品を取り付けたことを技術的特徴とする。

【0008】また、請求項 2 では、上面に集積回路チップを載置し、下面が基板側に取り付けられるパッケージ基板であって、層間樹脂絶縁層と導体層とが交互に積層され、各導体層間がビアホールにて接続されたビルドアップ配線層が、コア基板の両面に形成されてなるパッケージ基板において、前記コア基板に形成されたスルーホールには、充填剤が充填されるとともに該充填剤のスルーホールからの露出面を覆う導体層が形成されてなり、その導体層にはビアホールが接続され、前記パッケージ基板の下面側の表面であって、集積回路チップの直下に実装部品を取り付けたことを技術的特徴とする。

【0009】また、請求項 3 では、請求項 1 又は 2 において、前記実装部品が、誘電材料としてセラミックを用いるチップコンデンサであることを技術的特徴とする。

【0010】請求項 1 では、下面側の表面であって集積回路チップの直下に実装部品（チップコンデンサ）を実装してあるので、該実装部品から集積回路チップまでの配線の距離が短くなり、該配線のインダクタンス分を低下させられるため、該集積回路チップへ瞬時に大電流を供給することができる。

【0011】請求項 2 では、スルーホール直上に設けた導体層を内層パッドとして機能せしめることで、当該ビアホールへビアホールを直接接続し、スルーホールとビアホールとの配線距離を短くする。そして、集積回路チップの直下に実装部品（チップコンデンサ）を実装することで、該実装部品から集積回路チップまでの配線の距離を短くし、該配線のインダクタンス分を低下させ、該集積回路チップへ瞬時に大電流を供給することを可能にする。

【0012】請求項 3 では、チップコンデンサの誘電材料として高誘電率のセラミックを用いるため、高い容量を得ることができる。

## 【0013】

【発明の実施の形態】以下、本発明の 1 実施形態に係るパッケージ基板について図を参照して説明する。まず、パッケージ基板 10 の構成について、図 6 及び図 7 を参照して説明する。図 6 は、集積回路チップ 90 搭載前のパッケージ基板 10 の断面を示し、図 7 は、集積回路チップ 90 を搭載した状態のパッケージ基板 10 の断面を示している。図 7 に示すように、パッケージ基板 10 の上面側には、集積回路チップ 90 が搭載され、下面側は、ドータボード 94 へ接続されている。該パッケージ基板の下面側の表面であって集積回路チップ 90 の直下に電源用チップコンデンサ C、及び、集積回路チップ 90 の終端用のチップ抵抗（図示せず）が実装されている。該チップコンデンサ C としては、セラミックから成る高容量のものが選択されている。

【0014】図 6 を参照してパッケージ基板の構成について詳細に説明する。該パッケージ基板 10 では、多層コア基板 30 の表面及び裏面にビルドアップ配線層 80 A、80 B が形成されている。該ビルトアップ層 80 A は、パイアホール 60 U 及び導体回路 58 の形成された層間樹脂絶縁層 50 と、パイアホール 160 U 及び導体回路 158 の形成された層間樹脂絶縁層 150 とからなる。また、ビルドアップ配線層 80 B は、パイアホール 60 D 及び導体回路 58 の形成された層間樹脂絶縁層 50 と、パイアホール 160 D 及び導体回路 158 の形成された層間樹脂絶縁層 150 とからなる。

【0015】上面側には、集積回路チップ 90 のランド 92（図 7 参照）に接続するための半田バンプ 76 U が配設されている。該半田バンプ 76 U は、パイアホール 160 U 及びパイアホール 60 U を介してスルーホール 16 へ接続されている。一方、下面側には、ドータボード（サブボード）94 のランド 96（図 7 参照）に接続するための半田バンプ 76 D が配設されている。該半田バンプ 76 D は、パイアホール 160 D 及びパイアホール 60 D を介してスルーホール 16 へ接続されている。また、チップコンデンサ C は、ドータボード 94 からの電源ライン（図示せず）に接続され、集積回路チップ 90 にパイアホール 160 D、60 D、スルーホール 16、パイアホール 60 U、160 U を介してして電流を供給するように構成されている。

【0016】該スルーホール 16 には充填剤 22 が充填され、該充填剤 22 のスルーホール 16 からの露出面を覆うように導体層 26 a が形成されている。該導体層 26 a は、円形に形成され、スルーホール 16 内の充填剤 22 の上側及び下側に形成される。上層側の該導体層 26 a には、上記パイアホール 60 U が直接接続され、下層側の導体層 26 a には、上記パイアホール 60 D が直接接続されている。このようにパイアホールへパイアホールを直接接続することで、従来技術のようにスルーホールのランドにパッドを付加し、該パッドにパイアホールを接続するのと比較して、スルーホール 16 とパイア

ホール 60 U、60 D との配線長を短くしている。

【0017】この第 1 実施形態のパッケージ基板 10 は、パッケージ基板の下面側の表面であって集積回路チップ 90 の直下に電源用チップコンデンサ C、及び、集積回路チップ 90 の終端用のチップ抵抗（図示せず）が実装されている。また、スルーホール 16 へパイアホール 60 U、60 D を直接接続することで、配線長を短くしている。このため、チップコンデンサ C から該パッケージ基板に搭載される集積回路チップ 90 までの配線長が短くなり、該配線のインダクタンス分を低下させるので、該チップコンデンサ C から集積回路チップ 90 へ瞬時的に大電流を供給することができる。同様に図示しないチップ抵抗（終端抵抗）から集積回路チップ 90 までの距離が短くなるので、配線上での反射を抑えることができ、インピーダンス整合し易くなる。

【0018】引き続き、図 6 に示すパッケージ基板を製造する方法について一例を挙げて具体的に説明する。なお、以下に述べる方法は、セミアディティブ法によるパッケージ基板の製造方法に関するものであるが、本発明におけるパッケージ基板の製造方法では、フルアディティブ法やマルチラミネーション法、ピンラミネーション法を採用することができる。

（1）厚さ 0.5 mm のガラスエポキシ樹脂または BT（ビスマレイミドトリアジン）樹脂からなるコア基板 30 の両面に 18  $\mu$ m の銅箔 12 がラミネートされている銅張積層板 30 A を出発材料とする（図 1（A）参照）。この両面にエッチングレジストを設け、硫酸一過酸化水素水溶液でエッチング処理し、導体回路 14 を有するコア基板 30 を得た（図 1（B））。

【0019】（2）次に、コア基板 30 にピッチ間隔 600  $\mu$ m で直径 300  $\mu$ m の貫通孔 16 をドリルで削孔し（図 1（C）参照）、次いで、パラジウムスズコロイドを付着させ、下記組成で無電解めっきを施して、基板 30 の全面に 2  $\mu$ m の無電解めっき膜 18 を形成した（図 1（D）参照）。

〔無電解めっき水溶液〕

EDTA	150	g/l
硫酸銅	20	g/l
HCHO	30	ml/l
NaOH	40	g/l
$\alpha$ 、 $\alpha'$ -ピピリジル	80	mg/l
PEG	0.1	g/l

〔無電解めっき条件〕

70℃の液温度で 30 分

【0020】（3）前記（2）で無電解銅めっき膜 18 からなる導体（スルーホール 16 を含む）を形成した基板 30 を、水洗いし、乾燥した後、NaOH（10 g/l）、NaClO<sub>2</sub>（40 g/l）、Na<sub>3</sub>PO<sub>4</sub>（6 g/l）を酸化浴（黒化浴）、NaOH（10 g/l）、NaBH<sub>4</sub>（6 g/l）を還元浴とする酸化還元

処理に供し、そのスルーホール 16 を含む導体 18 の全表面に粗化層 20 を設けた (図 1 (E) 参照)。

【0021】(4) 次に、平均粒径  $10\mu\text{m}$  の銅粒子を含む充填剤 22 (タツタ電線製の非導電性穴埋め銅ペースト、商品名: DDペースト) を、スルーホール 16 へスクリーン印刷によって充填し、乾燥、硬化させた (図 2 (F))。そして、導体 18 上面の粗化層 20 およびスルーホール 16 からはみ出した充填剤 22 を、#600 のベルト研磨紙 (三共理化学製) を用いたベルトサンダー研磨により除去し、さらにこのベルトサンダー研磨による傷を取り除くためのバフ研磨を行い、基板 30 の表面を平坦化した (図 2 (G) 参照)。このようにして、スルーホール 16 の内壁面と樹脂充填剤 22 とが粗

〔電解めっき水溶液〕

硫酸	180	g/l
硫酸銅	30	g/l
添加剤 (アトテックジャパン製、商品名: カパラシド GL)	1	ml/l

〔電解めっき条件〕

電流密度	1 A/dm <sup>2</sup>
時間	30 分
温度	室温

【0024】(7) 導体回路 14 および導体層 26a となる部分を形成した基板 30 の両面に、市販の感光性ドライフィルムを張り付け、マスクを載置して、 $100\text{mJ/cm}^2$  で露光、0.8%炭酸ナトリウムで現像処理し、厚さ  $15\mu\text{m}$  のエッチングレジスト 25 を形成した (図 2 (J) 参照)。

【0025】(8) そして、エッチングレジスト 25 を形成してない部分のめっき膜 23、24 を、硫酸と過酸化水素の混合液を用いるエッチングにて溶解除去し、さらに、エッチングレジスト 8 を 5% KOH で剥離除去して、独立した導体回路 14a および充填剤 22 を覆う導体層 26a を形成した (図 3 (K) 参照)。

【0026】(9) 次に、導体回路 14a および充填剤 22 を覆う導体層 26a の表面に Cu-Ni-P 合金からなる厚さ  $2.5\mu\text{m}$  の粗化層 (凹凸層) 27 を形成し、さらにこの粗化層 27 の表面に厚さ  $0.3\mu\text{m}$  の Sn 層を形成した (図 3 (L) 参照、但し、Sn 層については図示しない)。その形成方法は以下のようである。即ち、基板 30 を酸性脱脂してソフトエッチングし、次いで、塩化パラジウムと有機酸からなる触媒溶液で処理して、Pd 触媒を付与し、この触媒を活性化した後、硫酸銅 8 g/l、硫酸ニッケル 0.6 g/l、クエン酸 15 g/l、次亜リン酸ナトリウム 29 g/l、ホウ酸 31 g/l、界面活性剤 0.1 g/l、pH=9 からなる無電解めっき浴にてめっきを施し、導体回路 14a および充填剤 22 を覆う導体層 26a の表面に Cu-Ni-P 合金の粗化層 27 を設けた。ついで、ホウフッ化スズ 0.1 mol/l、チオ尿素 1.0 mol/l、温度 5

\* 化層 20 を介して強固に密着した基板 30 を得る。

【0022】(5) 前記 (4) で平坦化した基板 30 表面に、パラジウム触媒 (アトテック製) を付与し、前記 (2) の条件に従って無電解銅めっきを施すことにより、厚さ  $0.6\mu\text{m}$  の無電解銅めっき膜 23 を形成した (図 2 (H) 参照)。

【0023】(6) ついで、以下の条件で電解銅めっきを施し、厚さ  $15\mu\text{m}$  の電解銅めっき膜 24 を形成し、導体回路 14 となる部分の厚付け、およびスルーホール 16 に充填された充填剤 22 を覆う導体層 (円形のスルーホールランドとなる) 26a となる部分を形成した (図 2 (I))。

\*  $0^\circ\text{C}$ 、pH=1.2 の条件で Cu-Sn 置換反応させ、粗化層 10 の表面に厚さ  $0.3\mu\text{m}$  の Sn 層を設けた (Sn 層については図示しない)。

【0027】なお、工程 (9) に代えて、導体回路 14a および充填剤 22 を覆う導体層 26a の表面にいわゆる黒化還元層を形成し、導体回路間にビスフェノール F 型エポキシ樹脂などの樹脂を充填し、表面研磨、さらに (9) のめっきにより Cu-Ni-P 合金の粗化層を形成してもよい。(図 6 に断面を示すパッケージ断面図は、この工程を使用して製造している)

【0028】(10) 基板表面を平滑化するための樹脂充填剤を調整する。ここでは、ビスフェノール F 型エポキシモノマー (油化シェル製、分子量 310、YL983U) 100 重量部、イミダゾール硬化剤 (四国化成製、2E4MZ-CN) 6 重量部を混合し、これらの混合物に対し、表面にシランカップリング剤がコーティングされた平均粒径  $1.6\mu\text{m}$  の  $\text{SiO}_2$  球状粒子 (アドマテック製、CRS1101-CE、ここで、最大粒子の大きさは後述する導体回路 14a の厚み以下とする) 170 重量部、消泡剤 (サンノブコ製、ペレノール S4) 0.5 重量部を混合し、3本ロールにて混練することにより、その混合物の粘度を  $23\pm 1^\circ\text{C}$  で 45,000~49,000 cps に調整して、樹脂充填剤を得る。この樹脂充填剤は無溶剤である。もし溶剤入りの樹脂充填剤を用いると、後工程において層間剤を塗布して加熱・乾燥させる際に、樹脂充填剤の層から溶剤が揮発して、樹脂充填剤の層と層間材との間で剥離が発生するからである。

【0029】(11) 上記(10)で得た樹脂充填剤28を、基板30の両面にロールコータを用いて塗布することにより、上面の導体層26a間に充填し、70℃、20分間で乾燥させ、下面についても同様にして樹脂充填剤30を導体層26a間あるいは導体回路14a間に充填し、70℃、20分間で乾燥させる(図3(M)参照)。

【0030】(12) 上記(11)の処理を終えた基板30の片面を、#600のベルト研磨紙(三共理化学製)を用いたベルトサンダー研磨により、導体層26aの表面や導体回路14aの表面に樹脂充填剤28が残らないように研磨し、次いで、上記ベルトサンダー研磨による傷を取り除くためのバフ研磨を行う(図3(N)参照)。次いで、100℃で1時間、120℃で3時間、150℃で1時間、180℃で7時間の加熱処理を行って樹脂充填剤28を硬化させる。

【0031】このようにして、導体層26a、導体回路14aの表面の粗化層27を除去して基板両面を平滑化することで、樹脂充填剤28と導体層26a、導体回路14aの側面とが粗化層27を介して強固に密着させる。

【0032】(13) 上記(12)の処理で露出した導体層26a、導体回路14a上面に、厚さ2.5μmのCu-Ni-P合金からなる粗化層(凹凸層)29を形成し、さらに、その粗化層29の表面に厚さ0.3μmのSn層を設ける(図3(O)参照、但し、Sn層については図示しない)。その形成方法は以下のようである。即ち、基板30を酸性脱脂してソフトエッチングし、次いで、塩化パラジウムと有機酸からなる触媒溶液で処理して、Pd触媒を付与し、この触媒を活性化した後、硫酸銅8g/l、硫酸ニッケル0.6g/l、クエン酸15g/l、次亜リン酸ナトリウム29g/l、ホウ酸31g/l、界面活性剤0.1g/l、pH=9からなる無電解めっき浴にてめっきを施し、銅導体回路4およびスルーホール9のランド上面にCu-Ni-P合金の粗化層29を形成する。ついで、ホウフッ化スズ0.1mol/l、チオ尿素1.0mol/l、温度50℃、pH=1.2の条件でCu-Sn置換反応させ、粗化層29の表面に厚さ0.3μmのSn層を設ける(Sn層については図示しない)。

【0033】(14) 層間樹脂絶縁層を形成する無電解めっき用接着剤A、Bを以下の方法で調製した。

A. 上層の無電解めっき用接着剤の調製

①. クレゾールノボラック型エポキシ樹脂(日本化薬製、分子量2500)の25%アクリル化物を35重量部(固形分80%)、感光性モノマー(東亜合成製、アロニックスM315)3.15重量部、消泡剤(サンノブコ製、S-65)0.5重量部、NMPを3.6重量部を攪拌混合した。

②. ポリエーテルスルホン(PES)12重量部、エ

ポキシ樹脂粒子(三洋化成製、ポリマーボール)の平均粒径1.0μmのものを7.2重量部、平均粒径0.5μmのものを3.09重量部、を混合した後、さらにNMP30重量部を添加し、ビーズミルで攪拌混合した。

③. イミダゾール硬化剤(四国化成製、2E4MZ-CN)2重量部、光開始剤(チバガイギー製、イルガキュア I-907)2重量部、光増感剤(日本化薬製、DET-X-S)0.2重量部、NMP1.5重量部を攪拌混合した。これらを混合して無電解めっき用接着剤組成物Aを調製した。

【0034】B. 下層の無電解めっき用接着剤の調製

①. クレゾールノボラック型エポキシ樹脂(日本化薬製、分子量2500)の25%アクリル化物を35重量部(固形分80%)、感光性モノマー(東亜合成製、アロニックスM315)4重量部、消泡剤(サンノブコ製、S-65)0.5重量部、NMPを3.6重量部を攪拌混合した。

②. ポリエーテルスルホン(PES)12重量部、エポキシ樹脂粒子(三洋化成製、ポリマーボール)の平均粒径0.5μmのものを14.49重量部、を混合した後、さらにNMP20重量部を添加し、ビーズミルで攪拌混合した。

【0035】③. イミダゾール硬化剤(四国化成製、2E4MZ-CN)2重量部、光開始剤(チバガイギー製、イルガキュア I-907)2重量部、光増感剤(日本化薬製、DET-X-S)0.2重量部、NMP1.5重量部を攪拌混合した。これらを混合して下層の無電解めっき用接着剤Bを調製した。

【0036】(15) 基板の両面に、まず、前記(14)で調製したBの無電解めっき用接着剤(粘度1.5Pa·s)44をロールコータを用いて塗布し、水平状態で20分間放置してから、60℃で30分の乾燥を行い、次いで、Aの無電解めっき用接着剤(粘度1.0Pa·s)46をロールコータを用いて塗布し、水平状態で20分間放置してから、60℃で30分の乾燥を行い、厚さ40μmの接着剤層50を形成した(図4(P)参照)。

【0037】(16) 接着剤層50を形成した基板の両面に、85μmφの黒円が印刷されたフォトマスクフィルムを密着させ、超高圧水銀灯により500mJ/cm<sup>2</sup>で露光した。これをDMDG(ジエチレングリコールジメチルエーテル)溶液でスプレー現像することにより、接着剤層に85μmφのパイアホールとなる開口を形成した。さらに、当該基板を超高圧水銀灯により3000mJ/cm<sup>2</sup>で露光し、100℃で1時間、その後150℃で5時間の加熱処理をすることにより、フォトマスクフィルムに相当する寸法精度に優れた開口(パイアホール形成用開口48)を有する厚さ35μmの層間絶縁材層(接着剤層)50を形成した(図4(Q)参照)。なお、パイアホールとなる開口には、スズめっき

層を部分的に露出させた。

【0038】(17) バイアホール形成用開口48を形成した基板を、クロム酸に20分間浸漬し、接着剤層表面に存在するエポキシ樹脂粒子を溶解除去して、当該接着剤層50の表面を $R_{max}=1\sim5\mu m$ 程度の深さで粗化することで粗化面51を形成し、その後、中和溶液(シブレイ社製)に浸漬してから水洗した(図4(R))。

【0039】(18) 接着剤層表面の粗化(粗化深さ $5\mu m$ )を行った基板30に対し、パラジウム触媒(アトテック製)を付与することにより、接着剤層50およびバイアホール用開口48の表面に触媒核を付与した。

【0040】(19) 前記(2)と同じ組成の無電解銅めっき浴中に基板を浸漬して、粗化面51全体に厚さ $0.6\mu m$ の無電解銅めっき膜52を形成した(図4(S)参照)。このとき、無電解銅めっき膜52は薄いために、この無電解銅めっき膜52の表面には、接着剤層50の粗化面51に追従した凹凸が観察された。

【0041】(20) 市販の感光性ドライフィルムを無電解銅めっき膜52に張り付け、マスクを載置して、 $100mJ/cm^2$ で露光、 $0.8\%$ 炭酸ナトリウムで現像処理し、厚さ $15\mu m$ のめっきレジスト54を設けた(図4(T)参照)。

【0042】(21) 次に、前記(6)の条件に従って電解銅めっきを施し、厚さ $15\mu m$ の電解銅めっき膜56を形成した(図5(U)参照)。

【0043】(22) めっきレジスト56を $5\%KOH$ で剥離除去した後、そのめっきレジスト56下の無電解銅めっき膜52を硫酸と過酸化水素の混合液でエッチング処理して溶解除去し、無電解銅めっき膜52と電解銅めっき膜56からなる厚さ $16\mu m$ の導体回路58及びバイアホール60U、60Dを形成する(図5(V))。引き続き、該導体回路58及びバイアホール60U、60Dの表面に粗化層62を形成して、片面3層のパッケージ基板とした(図5(W)参照)。なお、接着剤層50の粗化面に残っているPdをクロム酸( $800g/l$ )に $1\sim10$ 分浸漬して除去した。

【0044】(23) (15)～(22)の工程を繰り返して、バイアホール160Uを有する層間樹脂絶縁層150及びバイアホール160Dを有する層間樹脂絶縁層150をさらに1層積層した(図5(X))。

【0045】(24) 上記(23)で得た配線板の両面に、市販のソルダーレジスト組成物を $20\mu m$ の厚さで塗布した。次いで、 $70^\circ C$ で20分間、 $70^\circ C$ で30分間の乾燥処理を行った後、 $1000mJ/cm^2$ の紫外線で露光し、DMTG現像処理した。そしてさらに、 $80^\circ C$ で1時間、 $100^\circ C$ で1時間、 $120^\circ C$ で1時間、 $150^\circ C$ で3時間の条件で加熱処理し、パッド部分71が開孔した(開口径 $200\mu m$ )ソルダーレジスト層(厚み $20\mu m$ )70を形成した(図6参照)。

【0046】(25) 次に、ソルダーレジスト層70を形成した基板30を、塩化ニッケル $30g/l$ 、次亜リン酸ナトリウム $10g/l$ 、クエン酸ナトリウム $10g/l$ からなる $pH=5$ の無電解ニッケルめっき液に20分間浸漬して、開口部71に厚さ $5\mu m$ のニッケルめっき層72を形成した。さらに、その基板30を、シアン化金カリウム $2g/l$ 、塩化アンモニウム $75g/l$ 、クエン酸ナトリウム $50g/l$ 、次亜リン酸ナトリウム $10g/l$ からなる無電解金めっき液に $93^\circ C$ の条件で23秒間浸漬して、ニッケルめっき層72上に厚さ $0.03\mu m$ の金めっき層74を形成した。

【0047】(26) そして、ソルダーレジスト層70の開口部71、チップコンデンサC及びチップ抵抗(図示せず)を実装する導体回路158Dの部位に、はんだペーストを印刷する。ここで、はんだとしては、9:1はんだが望ましい。この後、該導体回路158DにチップコンデンサC(村田製作所製、GRM36 長さ $1mm$ 、幅 $0.5mm$ 、厚さ $0.5mm$ )及びチップ抵抗を載置する。そして、 $200^\circ C$ でリフローすることにより半田バンプ76U、76Dを形成すると共に、該導体回路158DにチップコンデンサC及びチップ抵抗を取り付ける。その後、基板20を洗浄してチップコンデンサ下のはんだ64及び半田バンプ76U、76Dから溶け出したフラックス等を除去する。このように、チップコンデンサCを基板内に埋め込むのではなく、表面に実装するため容易に取り付けることができる。

【0048】その後、図7に示すように該パッケージ基板10に集積回路チップ90を取り付けた後、ドータボード94に該パッケージ基板10を組み付ける。

#### 【0049】

【発明の効果】以上のように、請求項1では、下面側の表面であって集積回路チップの直下にチップコンデンサを実装してあるので、該チップコンデンサから集積回路チップまでの配線の距離が短くなり、該配線のインダクタンス分を低下させられるため、該集積回路チップに瞬時に大電流を供給することができる。

【0050】請求項2では、スルーホールへバイアホールを直接接続することで、スルーホールとバイアホールとの配線距離が短くなる。そして、集積回路チップの直下に実装部品(チップコンデンサ)を実装してあるので、該チップコンデンサから集積回路チップまでの配線の距離が短くなり、該配線のインダクタンス分を低下させられるため、該集積回路チップへ瞬時に大電流を供給することができる。

【0051】請求項3では、チップコンデンサの誘電材料として高誘電率のセラミックを用いるため、高い容量を得ることができる。

#### 【図面の簡単な説明】

【図1】本発明の実施形態に係るパッケージ基板の製造工程を示す図である。

【図 2】本発明の実施形態に係るパッケージ基板の製造工程を示す図である。

【図 3】本発明の実施形態に係るパッケージ基板の製造工程を示す図である。

【図 4】本発明の実施形態に係るパッケージ基板の製造工程を示す図である。

【図 5】本発明の実施形態に係るパッケージ基板の製造工程を示す図である。

【図 6】本発明の実施形態に係るパッケージ基板を示す断面図である。

【図 7】本発明の実施形態に係るパッケージ基板に集積回路チップを搭載した状態を示す断面図である。

【図 8】図 8 (A) 及び図 8 (B) は、従来技術に係るパッケージ基板の断面図である。

【符号の説明】

10 パッケージ基板

16 スルーホール

22 充填剤

26 a 導体層

30 コア基板

50 層間樹脂絶縁層

58 導体回路 (導体層)

60 U、60 D パイアホール

80 A、80 B ビルドアップ配線層

10 90 集積回路チップ

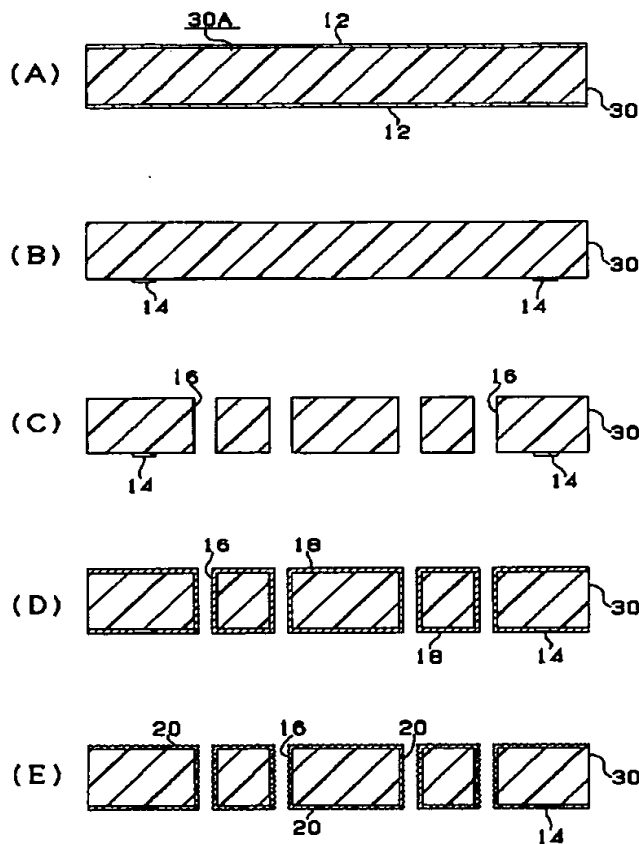
94 ドータボード (基板)

150 層間樹脂絶縁層

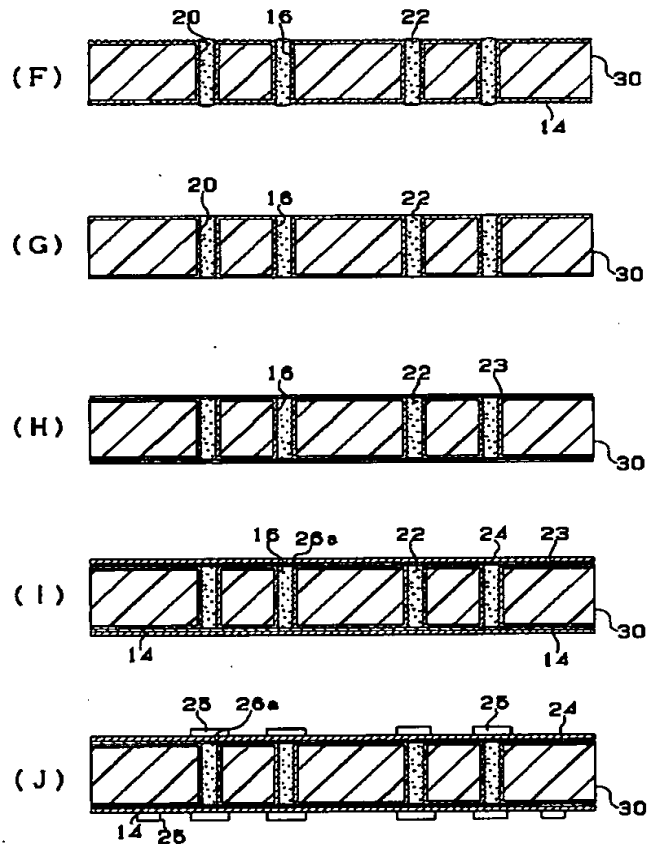
160 U、160 D パイアホール

C チップコンデンサ (実装部品)

【図 1】

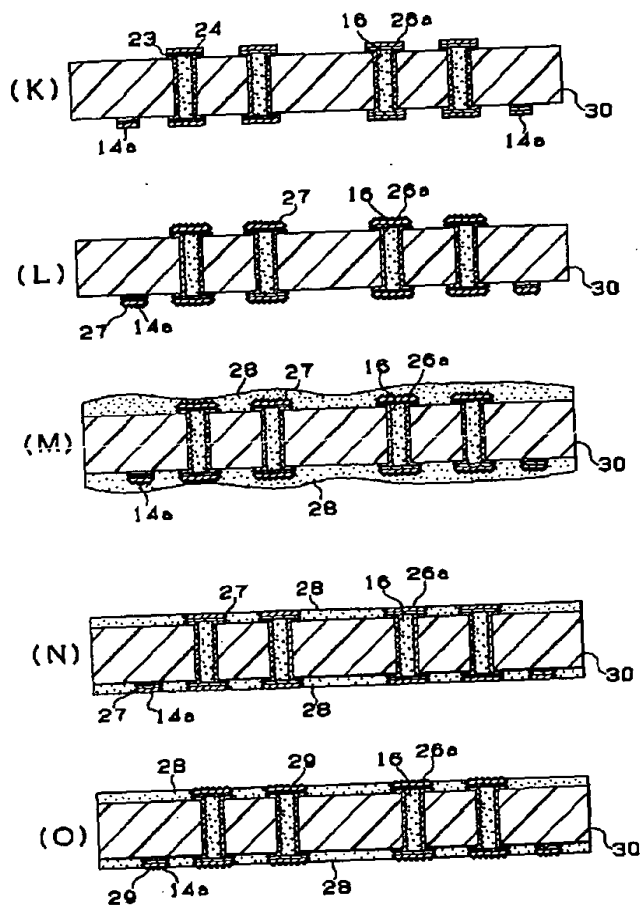


【図 2】

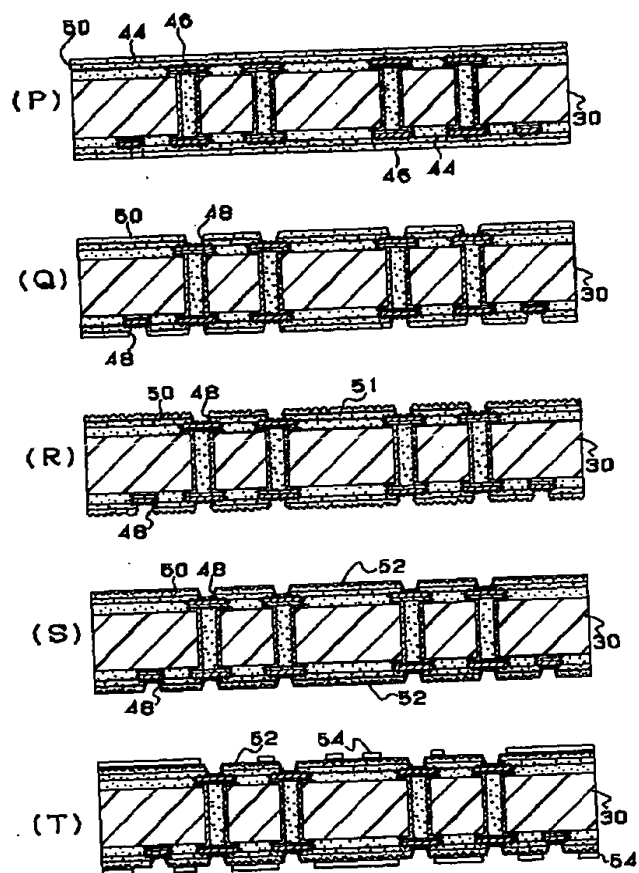




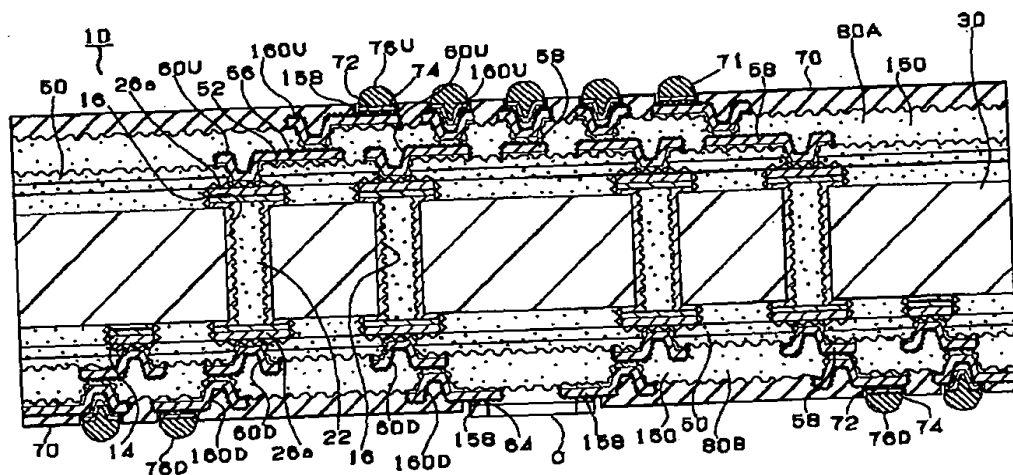
【図3】



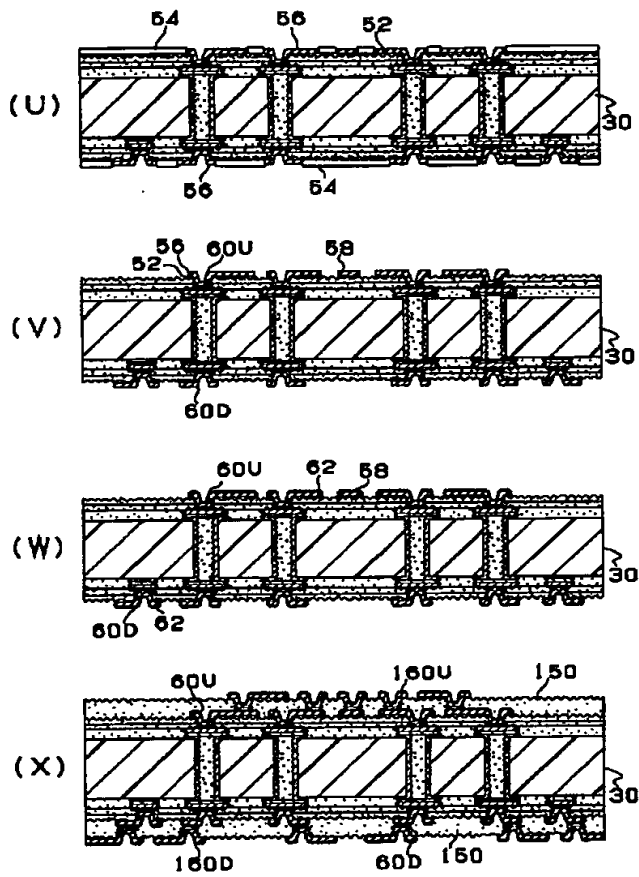
【図4】



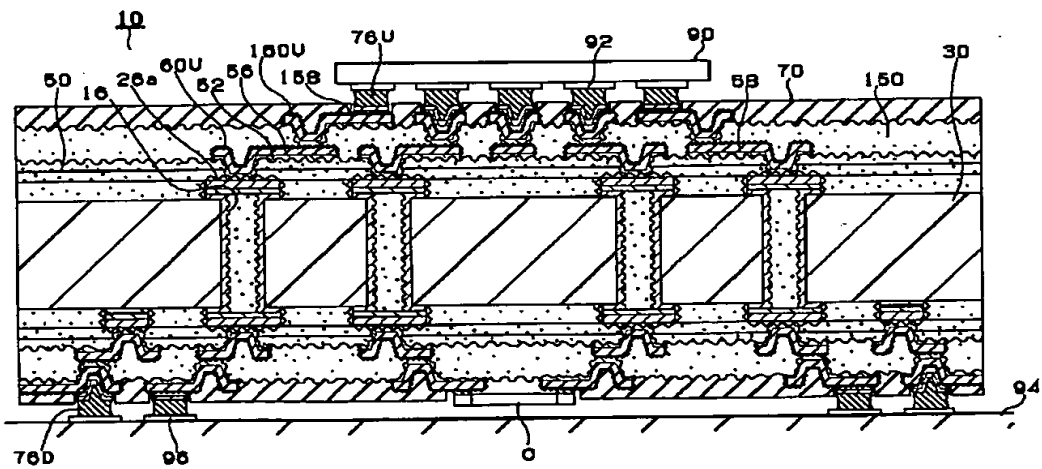
【図6】



【図5】



【図7】



【図 8】

